

## SISTEMA DE CONVERSÃO ANALÓGICO DIGITAL DE 12 BITS

Yuri Gonzaga Gonçalves da Costa<sup>(1)</sup>, Eduardo Paz Serafim<sup>(2)</sup>, André Ricardo Ciraulo de Souza<sup>(2)</sup>, José Antônio Gomes de Lima<sup>(3)</sup>.

Centro de Ciências Exatas e da Natureza/Departamento de Informática/PET

### RESUMO

O presente trabalho apresenta um sistema de conversão analógico digital de 12 bits utilizando computação reconfigurável para implementação do controle dos dispositivos que compõe o sistema. A presença de um circuito programador de dispositivos programáveis reforça a característica reconfigurável do sistema, tornando-o ainda mais completo.

**Palavras-chave:** conversão analógico digital, computação reconfigurável, USB.

### 1. INTRODUÇÃO

É uma necessidade constante, principalmente para a ciência e engenharia, tratar sinais oriundos de fenômenos da natureza, tais como velocidade, temperatura e força. Esses elementos naturais constituem grandezas contínuas.

O advento das tecnologias digitais, as quais podem realizar computação sobre sinais da natureza, exigiu que tais grandezas fossem simplificadas em valores discretos, para que suas representações se tornassem possíveis em sistemas digitais.

Dentro desse contexto, a transformação dos sinais naturais, através de sua forma elétrica análoga (ou analógica), em sinais digitais é de fundamental importância para que eles possam ser processados e armazenados em dispositivos digitais. Esse procedimento é conhecido como conversão analógico/digital e é realizado por um circuito chamado conversor analógico/digital (CAD).

O processo de conversão analógico digital aliado a portabilidade da comunicação USB (*Universal Serial Bus*) e a flexibilidade da computação reconfigurável inspiraram a elaboração de um sistema do qual trata este artigo.

### 2. DESCRIÇÃO

Esse artigo descreve um sistema completo para conversão de sinais analógicos em sinais digitais utilizando computação reconfigurável e barramento USB. Para tanto, o sistema controla o devido funcionamento de um dispositivo CAD e um dispositivo que realiza a comunicação via barramento USB, além de um multiplexador de canais analógicos. O sistema é próprio de computação reconfigurável, pois provê um circuito programador capaz de carregá-lo em dispositivos lógicos programáveis.

---

<sup>1)</sup> Bolsista, <sup>(2)</sup> Voluntário/colaborador, <sup>(3)</sup> Orientador/Coordenador <sup>(4)</sup> Prof. colaborador, <sup>(5)</sup> Técnico colaborador.

## 2.1. CONVERSÃO ANALÓGICO DIGITAL

Para que seja possível a interpretação digital de sinais, se faz necessário, em primeiro lugar, que eles sejam submetidos a um processo de transdução, que é a transformação de um tipo de energia em outra. Por exemplo, o microfone é um equipamento transdutor, pois transforma um sinal de energia sonora em um de energia elétrica. Como o sinal resultante do processo de transdução é uma representação similar ao sinal original, fazendo-o uma analogia, dizemos que se trata de um sinal analógico. Após a transdução, um sinal analógico é transformado em sinal digital por meio do processo de conversão A/D.

O sinal analógico, representado por uma variação de tensão elétrica em função do tempo, submetido a uma conversão A/D, obtém seu equivalente digital, o qual difere do primeiro em dois aspectos: amostragem e quantificação. Ambos restringem a quantidade de informação a ser representada pelo sinal digital [SMITH, 1997]. A figura 1 contém um exemplo de sinal digital obtido pela amostragem e quantificação de um sinal analógico.

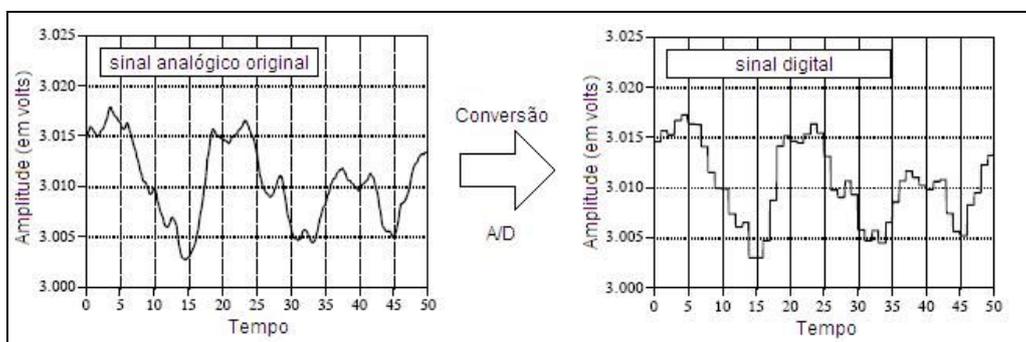


Figura 1: Sinal digital obtido a partir da amostragem e quantificação de um sinal analógico.

Fonte: Adaptado de Smith (1997).

## 2.2. COMPUTAÇÃO RECONFIGURÁVEL

Quando os requisitos de uma dada aplicação excedem as capacidades dos computadores de uso geral, recorre-se a abordagens diferentes destinadas a criar sistemas computacionais de desempenho elevado.

Uma dessas abordagens consiste em construir circuitos orientados à aplicação que são capazes de fornecer um bom desempenho para essa aplicação específica. Por exemplo, é possível projetar e fabricar um circuito integrado específico (i.e. um ASIC - *Application Specific Integrated Circuit*) com o controle fixo e as unidades funcionais personalizadas e otimizadas para uma dada aplicação. Com esta técnica pode-se atingir resultados muito bons com menos recursos de hardware. Contudo os custos de projeto e de implementação de tal sistema são demasiado elevados e só podem ser justificados no caso de produções de alto volume. Vale salientar também que as soluções baseadas em ASIC são completamente inflexíveis dado que a sua funcionalidade não pode ser modificada após a fabricação.

A computação reconfigurável é uma abordagem que combina a computação de uso geral com a orientada à aplicação, possibilitando deste modo eliminar as desvantagens associadas às soluções puramente de *software* e puramente de *hardware*. Ela baseia-se em dispositivos

lógicos programáveis que podem atingir um desempenho elevado e, ao mesmo tempo, fornecer a flexibilidade da programação em nível de portas lógicas. Os principais representantes dessa classe de dispositivos são os FPGAs (*Field Programmable Gate Array*) e os CPLDs (*Complex Programmable Logic Devices*), cujos parâmetros de tempo de resposta e a capacidade de elementos lógicos atualmente os tornam de desempenho equivalente ao dos ASICs [SKLIAROVA e FERRARI, 2003].

### 2.3. BARRAMENTO USB

O barramento USB foi idealizado em 1995 por um conjunto de empresas de tecnologia: Apple, Microsoft, Hewlett-Packard, NEC, e Intel. A idéia era criar um padrão universal de conexão entre periférico e o computador, que funcionasse de maneira simples, porém eficiente. O USB é baseado na arquitetura *Plug & Play* que permite ao sistema operacional reconhecer e disponibilizar imediatamente o dispositivo instalado sem a necessidade de desligar ou mesmo reiniciar o computador [USBIF, 2000].

Com a padronização do USB, além da facilidade técnica, é possível diminuir consideravelmente os custos de produção dos periféricos, uma vez que não será necessário criar um tipo de interface específica para cada periférico [Torres, 2001]. O padrão USB é controlado pelo USBIF (*USB Implementers Forum*). Atualmente, a versão 2.0, que possibilita uma taxa de transferência de até 480 Mb/s, é amplamente utilizada.

### 3. METODOLOGIA

O sistema foi concebido através de um fluxo de desenvolvimento de *hardware* composto por modelagem em linguagem VHDL (*VHSIC Hardware Description Language*), simulação via *software*, concepção de *layout* de placa de circuito impresso e fabricação de protótipo.

Para tanto, foi projetada a arquitetura de *hardware* apresentada na figura 2, a qual é formada pelos dispositivos CAD e USB, o multiplexador de oito canais analógicos e o controlador.

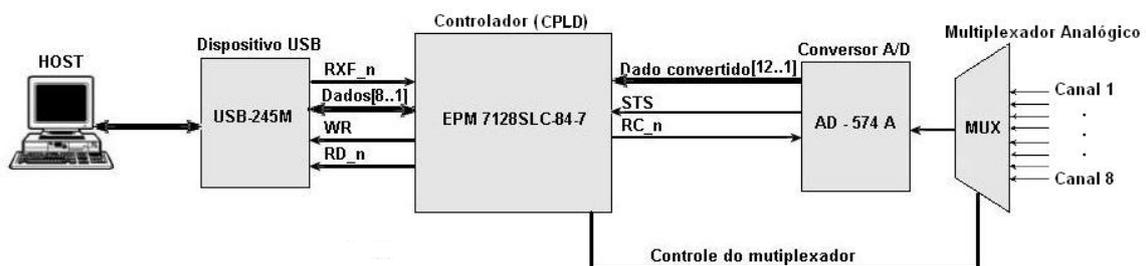


Figura 2: Arquitetura do sistema.

A característica reconfigurável do sistema está presente na utilização do circuito controlador implementado em CPLD. Tal enfoque torna o sistema bastante flexível,

principalmente pela presença de um circuito programador, capaz de configurar o CPLD a qualquer momento de forma rápida e simples.

### 3.1. DISPOSITIVO CAD

O conversor utilizado neste trabalho, o AD574A (figura 3), produzido pela Analog Devices, se baseia na técnica de aproximações sucessivas. O AD574A possui uma tensão de referência de 10V, trabalha em uma faixa de temperatura entre 0°C e 70°C e possui um tempo máximo de conversão de 35µs, ou seja, uma frequência máxima de operação de aproximadamente 25kHz [ANALOG DEVICES, 1995].



Figura 3: Dispositivo CAD AD574A da Analog Devices.

### 3.2. DISPOSITIVO USB

O sistema utiliza uma interface de comunicação USB criada pela DLP Design que possui baixo custo e uma alta usabilidade na construção dos mais variados tipos de sistemas digitais. A interface DLP-USB245M (figura 4) funciona basicamente como uma fila do tipo FIFO (*First In, First Out*), o que a torna em um método fácil e eficaz na transmissão de dados entre o host e o controlador. Sua composição consta de uma EEPROM (*Electrically-Erasable Programmable Read-Only Memory*) de referência 93C46 e outro chip de nome FT245BM cuja fabricação pertence à FTDI (Future Technology Devices International Ltd). A EEPROM possibilita a customização de parte da configuração básica da interface, como a velocidade e a forma de comunicação, informações de controle da interface USB, bem como seu número serial. O responsável por implementar uma FIFO tanto de leitura como de escrita que utiliza os oito bits do barramento de comunicação de forma bidirecional é o FT245BM [DLP DESIGN, 2002].



Figura 4: DLP-USB245M.  
Fonte: <http://www.dlpdesign.com/>

### 3.3. MULTIPLEXADOR ANALÓGICO

Em geral as aplicações que captam sinais analógicos não são compostas apenas por uma fonte, mas sim por várias. Desta forma veio à necessidade de projetar o sistema para suportar mais de uma fonte de informações, portanto o sistema tem suporte para até oito canais

analógicos distintos. Com a finalidade de tornar esta tarefa mais simples foi incorporado um multiplexador analógico de oito canais que é comandado pelo circuito controlador.

### 3.4. CIRCUITO CONTROLADOR

O circuito controlador do projeto é implementado em um *chip* CPLD fabricado pela Altera, o EPM7128SLC84-7 (figura 5). Para o desenvolvimento desse controlador foi utilizada a ferramenta de desenvolvimento da Altera, o MAX+PLUS II. Essa ferramenta integra descrição da entidade e do comportamento em linguagem VHDL, depuração e simulação do circuito, validando a arquitetura.



Figura 5: CPLD EPM7128SLC84-7 da Altera.

Fonte: [http://zh.wikipedia.org/wiki/Image:Altera\\_MAX\\_7128\\_2500\\_gate\\_CPLD.jpg](http://zh.wikipedia.org/wiki/Image:Altera_MAX_7128_2500_gate_CPLD.jpg)

Como a interface USB possui uma largura de oito bits, e a palavra gerada pelo conversor tem uma largura de 12 bits, surge à necessidade de dividir a palavra obtida pelo conversor (12 bits) em duas palavras de oito bits, sendo uma composta pelo canal de onde foi feita a amostra (quatro bits) mais os quatro bits mais significativos da amostra, e a outra palavra composta pelos oito bits restantes da palavra obtida pelo conversor.

O controlador é composto pelos seguintes blocos principais:

- O controlador do conversor, que recebe o sinal do *host* para configurar a frequência do conversor e os canais de atuação. De posse dessas informações, ele age diretamente no multiplexador selecionando os canais corretos.
- O controlador do dispositivo USB, que recebe o valor convertido em 12 bits, divide esse valor em dois de oito bits anexando quatro bits de indicação do canal ao primeiro valor. Além disso, permite a recepção das informações de controle do *host*, incluindo canais de conversão, frequência de operação e estímulo iniciador do processo de conversão.

Por fim, o controlador como um todo é formado pelos blocos apresentados na figura 6.

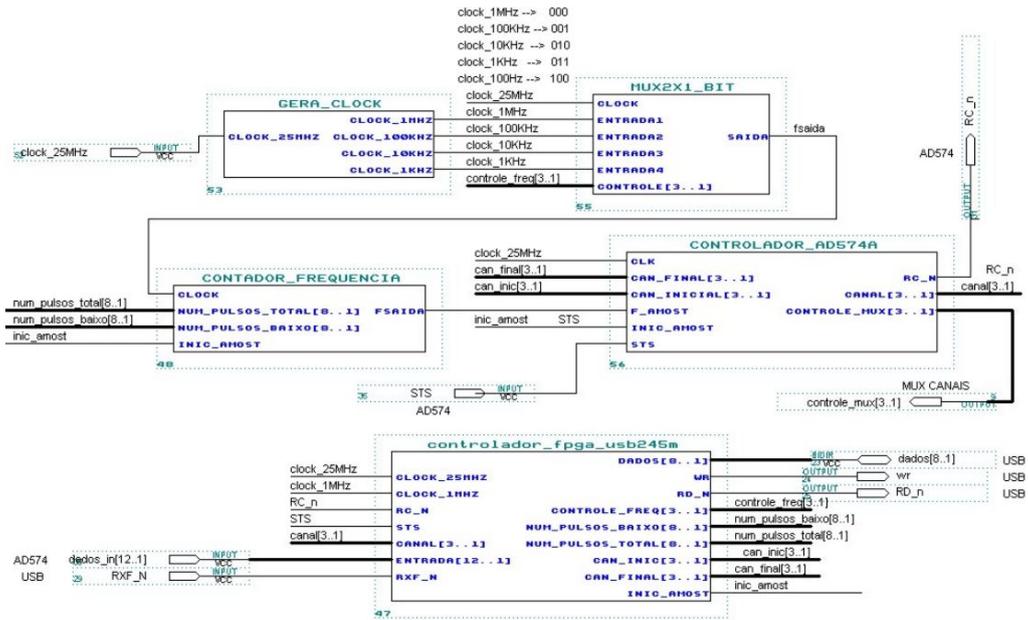


Figura 6: Diagrama em blocos do controlador.

### 3.5. PROGRAMADOR DE CPLD

Programar um dispositivo lógico programável significa transferir uma lógica digital previamente descrita para o *chip*, o que é feito via computador (*host*). Um *software* transforma a descrição em dados capazes de fazer e desfazer ligações dentro do dispositivo de tal maneira que ele passe a conter a lógica desejada. Depois, o *software* envia esses dados ao *chip*, através de um periférico.

O circuito programador de CPLD aqui apresentado é capaz de realizar esse processo em CPLDs da família MAX7000S da Altera ou compatíveis, tais como o EPM7128SLC84-7 apresentado anteriormente, através de um protocolo denominado JTAG (*Join Test Action Group*).

Utilizando um *software* para realizar a programação, como o *Quartus II Programmer* da Altera (*download* disponível gratuitamente em <http://www.altera.com>), o usuário pode programar um dos CPLDs já mencionados. O *software* se comunica com a placa através da porta paralela e um cabo típico desta porta.

O padrão JTAG define a comunicação entre CPLD e *host*. A placa recebe e envia sinais, de modo serial, pelo cabo através dos pinos TCK, TMS, TDI e TDO, como mostra a figura 7.

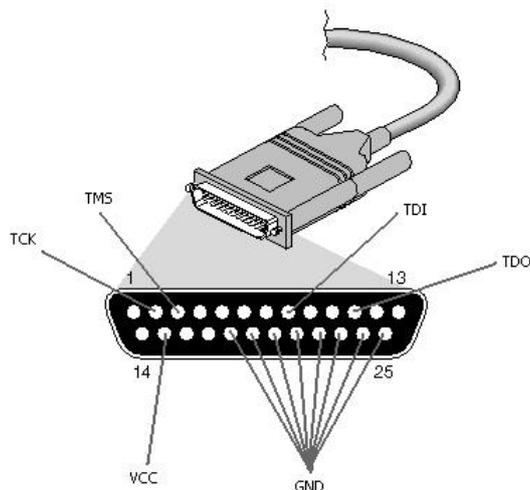


Figura 7: Sinais JTAG e pinos da porta paralela.

### 3.6. CONCEPÇÃO DE PLACAS DE CIRCUITO IMPRESSO

Com o CPLD devidamente programado e testado foi dado início ao planejamento e desenvolvimento das placas do protótipo. Para isso, foi utilizado o software P-CAD 2001 que permite o posicionamento e interligação dos dispositivos que compõe o sistema, gerando esquemas necessários a confecção de placas de circuito impresso.

Através do auxílio dado pelo NETEB (Núcleo de Estudos e Tecnologia em Engenharia Biomédica), laboratório da UFPB que já contava com a experiência e com os equipamentos necessários para a confecção de placas de circuito impresso, foi possível elaborar *layouts* para o sistema de conversão A/D e o programador de CPLD. A figura 8 apresenta os dois *layouts* mencionados.

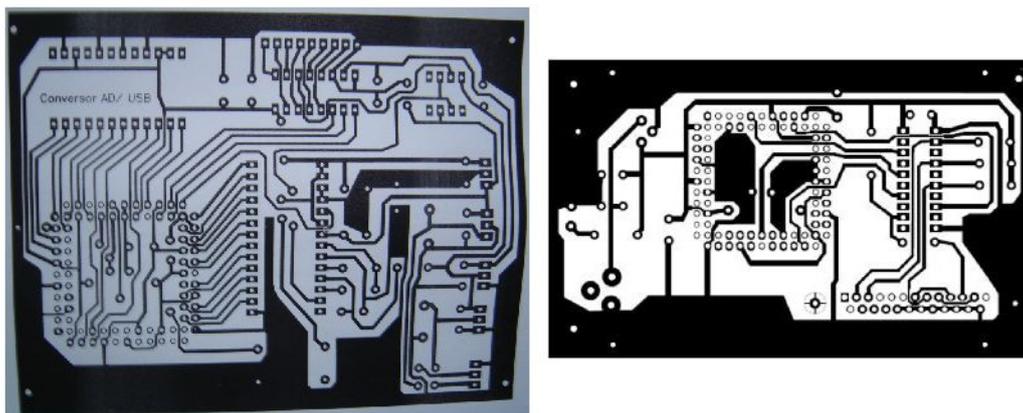


Figura 8: Layouts de placa de circuito impresso do sistema de conversão A/D (à esquerda) e do programador de CPLD (à direita).

#### 4. RESULTADOS

Ao fim de todo o fluxo de desenvolvimento, algumas unidades do protótipo final foram confeccionadas, as quais funcionaram conforme esperado, validando a funcionalidade do sistema proposto.

O programador de CPLD também foi produzido e validado, inclusive para configurar a implementação em CPLD do controlador do sistema de conversão A/D. A figura 9 apresenta uma das unidades do protótipo final do sistema de conversão A/D e do programador de CPLD.

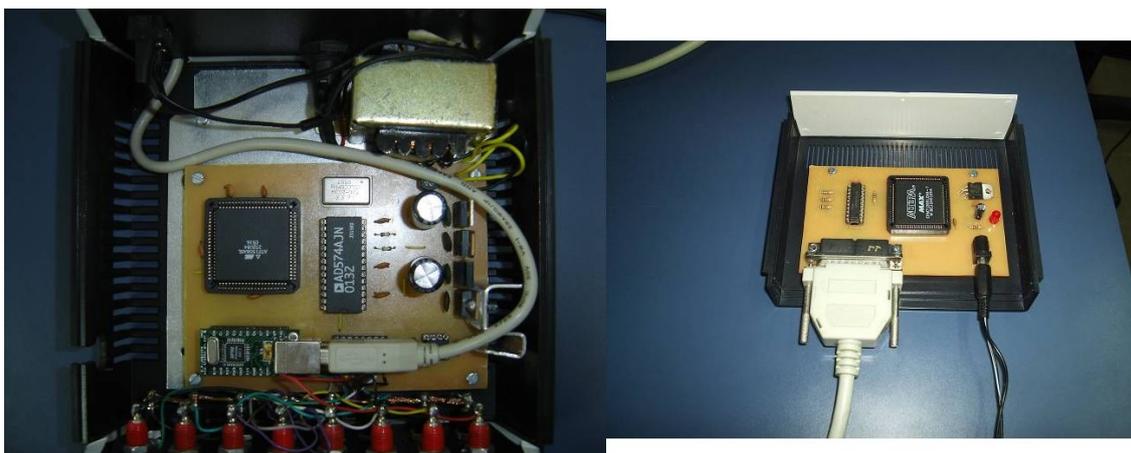


Figura 9: Protótipos finais do sistema de conversão A/D (à esquerda) e do programador de CPLD (à direita).

O sistema de conversão pode ser testado em aplicações reais para aquisição de sinais biológicos em projetos de pesquisa do NETEB e para tratamento de valores de torque em unidades de bombeio junto ao LES (Laboratório de Energia Solar) da UFPB.

Para operação do sistema a partir do *host* foram propostas aplicações em *software* para receber os dados convertidos pelo barramento USB e tratá-los de acordo com a conveniência. A figura 10 apresenta duas aplicações desenvolvidas em outros trabalhos, uma utiliza a tecnologia Delphi e a outra Java.

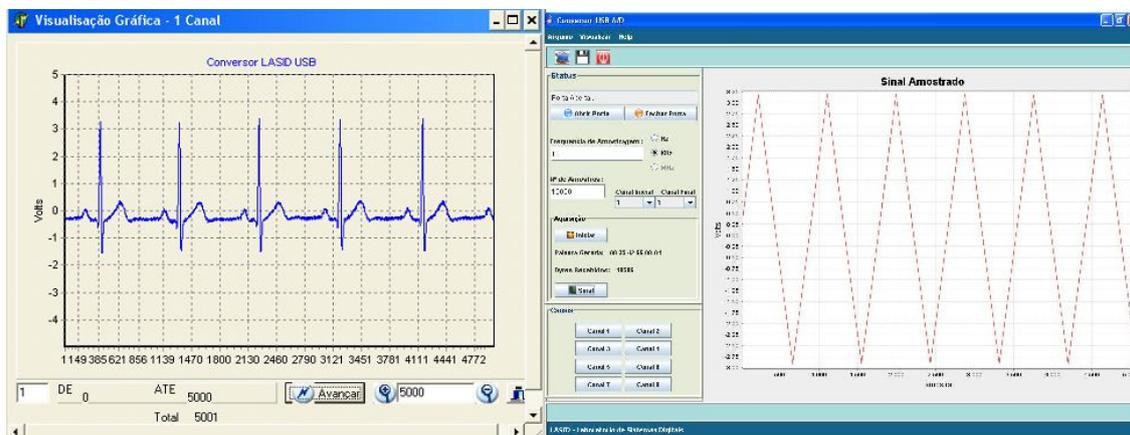


Figura 10: Aplicações em Delphi (à esquerda) e Java (à direita).

## 5. CONCLUSÃO

O sistema proposto mostrou-se viável por realizar a conversão de sinais analógicos de forma confiável, em uma frequência máxima de operação de 25kHz e uma resolução de 12 bits. A conversão de sinais biológicos, tais como eletrocardiogramas, é realizada de maneira precisa por esse sistema de conversão A/D.

O programador de CPLD torna o sistema bastante robusto, ressaltando a característica reconfigurável do sistema, tornando-o uma aplicação viável em computação reconfigurável.

## 6. AGRADECIMENTOS

À UFPB, ao Conselho Nacional de Pesquisa, CNPq, e ao Programa de Educação Tutorial, Departamento de Modernização e Programas da Educação Superior, Secretaria de Educação Superior do Ministério da Educação - PET/DEPEM/SESu/MEC pelo auxílio financeiro e na forma de bolsas.

## 7. REFERÊNCIAS

SMITH, Steven W. **The Scientist and Engineer's Guide to Digital Signal Processing**. San Diego: California Technical Publishing, 1997.

SKLIAROVA, Ioulia; FERRARI, António B. Introdução à Computação Reconfigurável. **Revista do DETUA**, Universidade de Aveiro, vol. 2, n. 6, set. 2003.

USBIF (USB Implementers Forum). **Universal Serial Bus Specification**. 2000.

ANALOG DEVICES. **Complete 12-Bit A/D Converter – AD574A Manual**. 1995.

DLP DESIGN. **DLP-USB245M User Manual**. 2002.